

Patent Abstracts of Japan

PUBLICATION NUMBER : 06125066
PUBLICATION DATE : 06-05-94

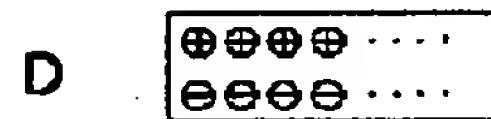
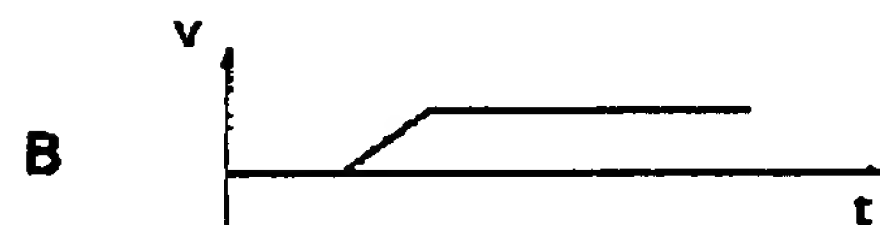
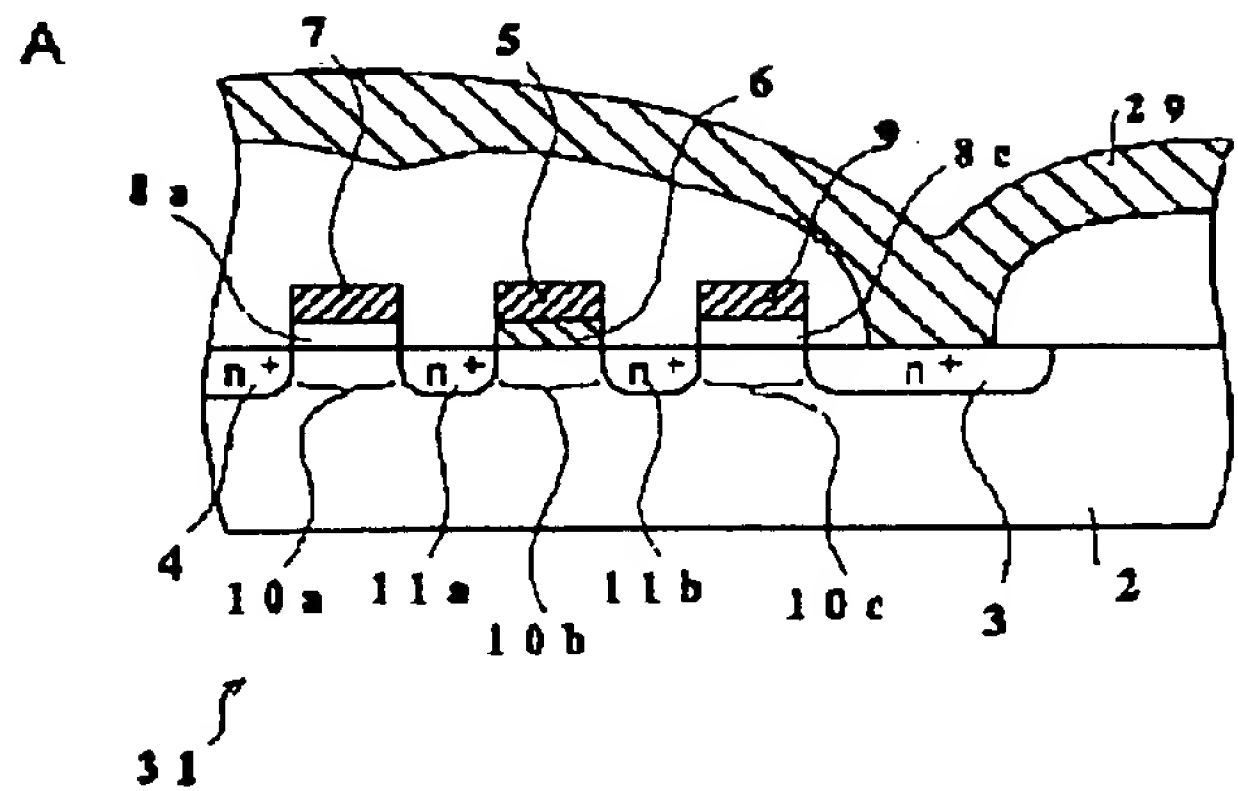
APPLICATION DATE : 12-10-92
APPLICATION NUMBER : 04272753

APPLICANT : ROHM CO LTD;

INVENTOR : HOSHIBA KAZUHIRO;

INT.CL. : H01L 27/115 G11C 11/22 H01L 29/788
H01L 29/792

TITLE : USAGE OF FERROELECTRIC
NONVOLATILE MEMORY



ABSTRACT : PURPOSE: To prevent erroneous writing on non-selected cells with reliability by setting the threshold voltage for forming electrical paths in a region where a second electrical path can be formed to a value lower than the coercive voltage of a ferroelectric film, and providing a polarization voltage waveform which is gentle in rising.

CONSTITUTION: The threshold voltage of a channel formation region 10b is set to a value lower than the coercive voltage of a ferroelectric film 6. A voltage having a gentle rising waveform is applied to a control gate electrode 5 on non-selected cells. The ferroelectric film 6 hardly causes polarization unless a voltage equivalent to its coercive electric field is applied. When a voltage above the threshold voltage is applied to the control electrode 5, a channel is immediately formed. Therefore, electrons are promptly supplied from the drain 3 through the inversion layer of an adjacent channel formation region 10c. This forms an inversion layer in the channel formation region 10b, the potential of which is equal to the drain potential. Therefore, a voltage equivalent to the coercive electric field of the ferroelectric film 6 is virtually not applied.

COPYRIGHT: (C)1994,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-125066

(43) 公開日 平成6年(1994)5月6日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115				
G 1 1 C 11/22		6741-5L		
H 0 1 L 29/788				
		7210-4M	H 0 1 L 27/10	4 3 4
			29/78	3 7 1

審査請求 未請求 請求項の数1(全10頁) 最終頁に続く

(21) 出願番号 特願平4-272753

(22) 出願日 平成4年(1992)10月12日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 干場 一博

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

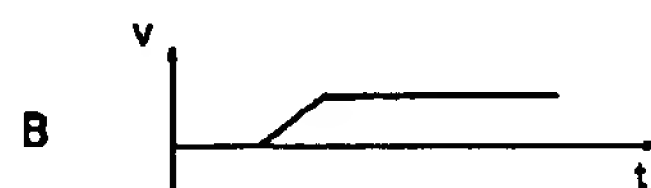
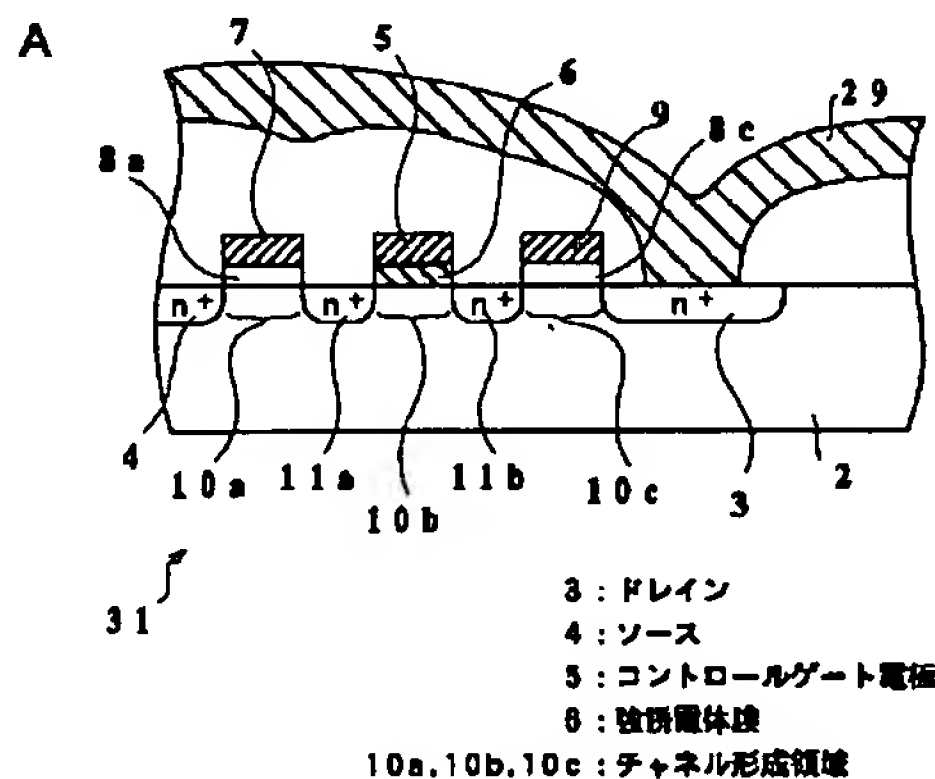
(74) 代理人 弁理士 古谷 栄男 (外2名)

(54) 【発明の名称】 強誘電体不揮発性メモリの使用方法

(57) 【要約】

【目的】 非選択セルへの誤書込をより確実に防止する。

【構成】 チャネル形成領域10bのしきい値電圧を強誘電体膜6の抗電圧より低く設定するとともに、非選択セルのコントロールゲート電極5に、立上がり波形がなだらかな電圧(図1B参照)を与える。強誘電体膜6は、抗電界に相当する電圧を印加しなければ、ほとんど分極は起こらない。コントロールゲート電極5に前記しきい値電圧をこえる電圧を印加すると、すぐにチャネルが形成される。したがって、隣接するチャネル形成領域10cの反転層を通じて、ドレイン3から速やかに電子が供給される。これにより、チャネル形成領域10bに反転層が形成され、この部分の電位はドレイン電位に等しくなる。したがって、実質的に強誘電体膜6に抗電界に相当する電圧が印加されないこととなり、強誘電体膜6が誤まって分極することを防止できる。



【特許請求の範囲】

【請求項1】第1領域、

第1領域との間に電路形成可能領域を形成するように設けられた第2領域、

電路形成可能領域を覆う強誘電体膜、

強誘電体膜上に設けられた分極用制御電極、

を備えた強誘電体不揮発性メモリをマトリックス状に配置し、

書き込む場合には、書き込み予定のメモリの分極用制御電極に分極電圧を印加するとともに、書き込みを防止したいメモリには、第1領域または第2領域に電圧を印加することにより、強誘電体膜に分極電圧を印加しないようにして、書き込み予定のメモリにのみ、情報を書き込む強誘電体不揮発性メモリの使用方法において、

第2の電路形成可能領域に電路を形成するためのしきい値電圧を強誘電体膜の抗電圧より低く設定するとともに、

立上がりがなだらかな分極電圧波形を分極用制御電極に与えること、を特徴とする強誘電体不揮発性メモリの使用方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、強誘電体不揮発性メモリの使用方法に関するものであり、特に誤分極防止方法に関するものである。

【0002】

【従来の技術】特開平2-64993公報に開示されている強誘電体トランジスタを用いた不揮発性メモリ41を図8に示す。不揮発性メモリ41は、P型の基板121の表面の一部にN型のウェル領域122が形成されている。ウェル領域122上の所定領域には、強誘電体材料からなる強誘電体膜123を有している。強誘電体膜123上には、導電性の材料からなるゲート電極124が形成されている。ウェル領域122中のゲート膜123下の両側部分に高濃度のP型の不純物拡散層からなるソース領域125およびドレイン領域126が形成されている。なお、ウェル領域122の電極領域（高濃度のN型の不純物拡散層）127とソース領域125とは接続されている。

【0003】次に、強誘電体ゲート膜123を有する不揮発性メモリ41の動作原理を図3の強誘電体物質のE-Pヒステリシスループを参照しつつ説明する。同図において、縦軸は分極Pを示し、横軸は電界Eを示す。

【0004】図8に示す不揮発性メモリ41に書き込む場合、ゲート電極124に接地電位を与え、かつNウェル122に抗電圧より十分大きなプログラム電圧を印加する。抗電圧とは、強誘電体物質の残留分極を取り除くのに必要な電界 E_c を得る為の電圧をいう。この時、ゲート電極124とNウェル122間に発生する電界によって、強誘電体膜123は発生した電界の方向とほぼ同じ

方向に分極する（図3のR1参照）。すなわち、強誘電体膜123は、図8Cに示すように、ゲート電極124側がプラスに、Nウェル122側がマイナスに分極する。

【0005】このような分極状態により、ゲート電極124下部の半導体表面に反転層電荷および空乏層電荷からなる正電荷が誘起される。残留分極が十分に大きければ、反転層が形成され、ソース領域125とドレイン領域126とは電氣的に導通する（以下オン状態という）。この状態を、以下書き込み状態という。なお、プログラム電圧が遮断されても、分極状態はほぼそのままの状態である（図3のS1）。一方、消去させる場合、書き込み時とは反対に、Nウェル122に接地電位を与え、かつゲート電極124に抗電圧より十分大きなプログラム電圧を印加する。この時、ゲート電極124とNウェル122間に書き込み時とは反対方向の電界が発生する。従って、この電界によって強誘電体膜123の分極状態が反転する（図3のP1）。すなわち、強誘電体膜123は、図8Bに示すように、ゲート電極124側がマイナスに、Nウェル122側がプラスに分極する（図3のQ1）。

【0006】したがって、ゲート電極124下部の反転層は消滅し、負電荷が蓄積層として形成され、ソース領域125とドレイン領域126とは電氣的に絶縁される（以下オフ状態という）。この状態を、非書き込み状態という。なお、プログラム電圧が遮断されても、分極状態はほぼそのままの状態である。

【0007】つぎに、不揮発性メモリ41の読み出し動作を説明する。強誘電体膜123が書き込み状態であれば、チャネル形成領域130はオン状態であり、ドレイン125の電位をソース126の電位より高くすることにより、ドレイン125とソース126間に電流が流れる。

【0008】これに対し、強誘電体膜123が非書き込み状態であれば、チャネル形成領域130はオフ状態である。したがって、ドレイン125の電位をソース126の電位より高くしても、ドレイン125とソース126間に電流が流れない。

【0009】このように、不揮発性メモリ41は、一旦書き込み状態とすれば、たとえゲート電極124への電圧供給を中止しても、書き込み状態は維持される。また、書き込まれているか否かは、ソース126とドレイン125の間に電流が流れるか否かによって判断することができる。

【0010】不揮発性メモリ41は、SRAM（スタティックRAM）として使用される。不揮発性メモリ41を複数組合わせた回路の等価回路15を図9に示す。同図に示すように、不揮発性メモリ41は、左右に一つずつの選択トランジスタを設けて使用される。書き込み又は読み出しを希望するメモリ（以下選択セルという）以外のメモリに書き込み又は読み出しをしてしまうことを防止する

為である。

【0011】書き込みは、次のようにして行なわれる。
第1のワード線WL1をVcc電位にしてトランジスタT1をオンにし、第2のワード線WL2をVss電位（接地電位）にしてトランジスタT2をオフにする。また、不揮発性メモリ41のゲート電極をVcc/2電位にする。さらに、ビット線BLからのデータを不揮発性メモリ41のソース・基板に印加する。これにより、不揮発性メモリ41はゲート・基板間にVcc/2電位が印加されて強誘電体膜123（図8参照）が所定の分極状態になり、データの書き込みが可能になる。

【0012】一方、読出し動作に際しては、第2のワード線WL2をVcc電位にしてトランジスタT2をオンにしておき、第1のワード線WL1をVcc電位にしてトランジスタT1をオンにする。ここで、あらかじめプリチャージ回路PRによりビット線BL…をVcc/2以上の電位にプリチャージしておく。これにより、不揮発性メモリ41が書き込み状態であれば電流が流れ、この不揮発性メモリ41が接続されているビット線BLの電位が下がる。これに対して、不揮発性メモリ41が非書き込み状態であれば電流が流れないので、この不揮発性メモリ41が接続されているビット線BLの電位は変わらない。このように、不揮発性メモリ41が書き込み状態か非書き込み状態かで、ビット線BLの電位が変化する。この電位変化を対応するセンスアンプSAにより検出・増幅することでデータの読出しが可能になる。

【0013】このように、強誘電体膜を用いた不揮発性メモリ41においては、複数組合わせて使用する場合、誤読み出しおよび誤書き込を防止するため2種類のトランジスタT1、T2を設けている。

【0014】

【発明が解決しようとする課題】しかし、上記のような強誘電体不揮発性メモリの使用方法においては、次のような問題があった。一般的に強誘電体の性質として、多少の電界変化があっても分極反転がおこってしまうという性質を有する。そのため、非選択セルへ誤まって書き込みされるという問題があった。

【0015】この発明は、上記のような問題点を解決し、非選択セルへの誤書き込をより確実に防止することができる強誘電体不揮発性メモリの使用方法を提供することを目的とする。

【0016】

【課題を解決するための手段】請求項1にかかる強誘電体不揮発性メモリの使用方法においては、第2の電路形成可能領域に電路を形成するためのしきい値電圧を強誘電体膜の抗電圧より低く設定するとともに、立上がりが必要な分極電圧波形を分極用制御電極に与える。

【0017】

【作用】請求項1にかかる強誘電体不揮発性メモリの使用方法においては、第2の電路形成可能領域に電路を形

成するためのしきい値電圧を強誘電体膜の抗電圧より低く設定するとともに、立上がりが必要な分極電圧波形を分極用制御電極に与える。したがって、非選択セルについて、抗電界に相当する電圧が強誘電体膜にかかる前に、電路形成可能領域に電路を形成することができる。

【0018】

【実施例】本発明の一実施例を図面に基づいて説明する。図1に示すように、強誘電体不揮発性メモリ31は、Pウェル2内に、第1領域であるソース4、および第2領域であるドレイン3が形成されている。ドレイン3、ソース4ともn⁺層である。ドレイン3、ソース4の間はチャネル形成領域10a、10b、10cである。

【0019】チャネル形成領域10bの上には、分極用制御電極であるコントロールゲート電極5が設けられている。電路形成可能領域であるチャネル形成領域10bとコントロールゲート電極5の間には、強誘電体材料であるPbTiO₃からなる強誘電体膜6が設けられている。チャネル形成領域10aは、絶縁膜8aで覆われており、絶縁膜8aの上にはソースゲート電極7が設けられている。チャネル形成領域10aと同様にチャネル形成領域10cも、絶縁膜8cで覆われており、その上にはドレインゲート電極9が設けられている。

【0020】チャネル形成領域10aと10b、およびチャネル形成領域10bと10cの間には、各々n⁺形の領域11a、11bが設けられている。

【0021】なお、チャネル形成領域10bにチャネル（反転層）を形成するためのしきい値電圧（V_{th}）は、強誘電体膜の抗電圧より低く設定されている。

【0022】強誘電体不揮発性メモリ31を複数組合せたマトリックス回路の等価回路15を図2Aに示す。ここで、同図に示すようにマトリックス状に組合せた場合、行方向、列方向に各コントロールゲート電極5、ドレインゲート電極9、ソースゲート電極7、ソース4、ドレイン3が接続される。このように接続したことから、書き込み、または、読み出しを希望するメモリ（以下選択セルという）以外のメモリに書き込み、または、読み出しをしてしまうおそれがある。そこで、等価回路15においては、次に述べるようにして、確実に選択セルを選択できるようにしている（なお、選択セル以外を以下非選択セルという）。

【0023】同図Bに、セルC11を選択セルとする場合の書き込みと読み出し時に印加する電圧の一例を示す。まず書き込む場合には、ワードラインWL1-1、WL1-2、ビットラインBL2には5V、その他には、0Vを印加する。ワードラインWL1-1には、図1Bに示すような、立上がり波形をなだらかにした電圧を印加する。

【0024】図2Aに戻って、選択セルC11の、コントロールゲート電極5にPウェル2の電位より5V高い

5

電位が与えられる。これにより、コントロールゲート電極5とPウェル2間に電界が発生する。その結果、強誘電体膜6は、図1Cに示すように（以下マイナス方向という）分極し、セルC11は、書き込み状態となる。一方、非選択セルであるセルC12については、ドレインゲート9に5Vが印加されている為、チャンネル形成領域10cにチャンネルが形成される（オン状態という）。さらに、ドレイン3には5Vが印加されていることから、チャンネル形成領域10bがオン状態となる。したがって、チャンネル形成領域10bに5Vが転送される。

【0025】ここで、コントロールゲート電極5には、ワードラインWL1-1から、立上がり波形をなだらかにした分極電圧（図1B参照）が与えられている。

【0026】一般的に、強誘電体膜6は抗電界に相当する電圧以上の電圧を印加した場合に急激に分極が生じ、抗電界に相当する電圧でなければ、短時間の間にはほとんど分極は起こらないという性質を有する（図3の強誘電体膜のE-Pヒステリシスループ参照）。一方、コントロールゲート電極5に前記しきい値電圧（ V_{th} ）以上の電圧を印加すると、すぐにチャンネルが形成される。したがって、隣接するチャンネル形成領域10cの反転層を通じて、ドレイン3から速やかに電子が供給される。これにより、チャンネル形成領域10bに反転層が形成される。この部分の電位はドレイン電位に等しい。したがって、実質的に強誘電体膜6に抗電界に相当する電圧が印加されないこととなるからである。

【0027】このように、チャンネル形成領域10bにチャンネル（反転層）を形成するためのしきい値電圧（ V_{th} ）を強誘電体膜6の抗電圧より低く設定するとともに、非選択セルのコントロールゲート電極5に、図1Bに示すような立上がり波形をなだらかにした電圧を与えることにより、非選択セルの強誘電体膜6が誤って書き込み状態となることをより完全に防止することができる。

【0028】また、他の非選択セルであるセルC14のコントロールゲート電極5、Pウェル2には、0Vが印加されているため、強誘電体膜6は分極状態は変化せず、書き込み状態とならない。また、チャンネル形成領域10a, 10cともオフ状態となっているため、誤消去も防止できる。

【0029】なお、非選択セルへの書き込みを防止する為、ビットラインBL2に印加されている書き込み禁止電圧である5Vについては、セルC11~C14のソースゲート電極7をオフ状態としているので、コントロールゲート電極5下のチャンネル形成領域10bにおいても保持される。

【0030】読み出しについては、ワードラインWL1-1, WL1-3に5V、ビットラインBL1にセンスアンプを接続し、その他は0Vを印加する。

【0031】選択セルC11について見てみると、ワードラインWL1-1, WL1-3に5Vを印加することに

6

よりチャンネル形成領域10a, 10cとも、オン状態となる。もし、強誘電体膜6がプラス方向に分極していると（図1C参照）、チャンネル形成領域10bはオフ状態である。したがって、ビットラインBL1とソースラインS1間に電流が流れない。

【0032】これに対し、強誘電体膜6がマイナス方向（図1C参照）に分極していると、チャンネル形成領域10bはオン状態となり、結局全てのゲートがオン状態となる。したがって、ビットラインBL1とソースラインS1間に電流が流れる。すなわち、セルC11が書き込み状態であれば、電流が流れ、ビットラインBL1の電位が降下するが、非書き込み状態であれば、電流が流れず電位降下は生じない。この差をセンスアンプで増幅することにより、セルC11の状態（書込、非書込）を読み出すことができる。

【0033】一方、非選択セルC12について見てみると、ワードラインWL1-1, WL1-3に5Vを印加することによりチャンネル形成領域10a, 10cは、オン状態となる。しかし、ビットラインBL2とソースラインS1は電位差が0であるので、ビットラインBL2とソースラインS1間に電流が流れない。その他の非選択セルC13, C14については、ワードラインWL2-1, WL2-3が0Vであるから、双方のチャンネル形成領域10a, 10cがオフ状態である。したがって、ソースラインS1とビットラインBL2間、ソースラインS1とビットラインBL1間には電流が流れない。

【0034】このように、マトリックス状に接続した場合でも、図2Bに示すような電圧を印加することにより、確実に選択セルのみに書き込むこと、および読み出すことが可能となる。

【0035】なお、消去の際は、ワードラインWL1-2, WL2-2に-5Vを、その他には0Vを印加する。選択セルC11, C12について見てみると、PウェルPWに0Vを、ワードラインWL1-2, WL2-2に-5Vを印加することとなり、電界効果により強誘電体膜6がプラス方向に分極し（図1C参照）、書き込み状態が解除される。

【0036】[強誘電体不揮発性メモリ1の構造] 図4、図5を用いて他の強誘電体不揮発性メモリを使用する場合について、説明する。図4に示す強誘電体不揮発性メモリ1においては、Pウェル2内に、第1領域であるソース4、および第2領域であるドレイン3が形成されている。ドレイン3、ソース4とも n^+ 層である。ドレイン3、ソース4の間には、第1の電路形成可能領域であるオフセット領域20a、第2の電路形成可能領域であるチャンネル形成領域10b、および第3の電路形成可能領域であるチャンネル形成領域10cが形成されている。

【0037】チャンネル形成領域10cは、絶縁膜8で覆われており、絶縁膜8の上には、電路形成用制御電極で

ある選択ゲート電極9が設けられている。チャネル形成領域10bは、比誘電率の高い物質で構成された絶縁膜26で覆われている。絶縁膜26はさらに、選択ゲート電極9の一部も覆っている。さらに、絶縁膜26は、強誘電体材料であるPZTからなる強誘電体膜6で覆われている。強誘電体膜6の上部で、かつチャネル形成領域10bおよび選択ゲート電極9の上部には、分極用制御電極であるコントロールゲート電極5が設けられている。

【0038】オフセット領域20aの上部には、絶縁性側壁である絶縁性サイドウォール23が設けられている。なお、コントロールゲート電極5と絶縁性サイドウォール23は、同図に示すように隣接している。

【0039】絶縁性サイドウォール23、コントロールゲート電極5、および選択ゲート電極9は、保護膜である層間膜24で覆われている。層間膜24上には、アルミニウム膜であるビットライン29が設けられており、マトリクス接続に必要な各ドレイン3を接続する。

【0040】強誘電体不揮発性メモリ1の書き込み、および消去動作原理を説明する。強誘電体不揮発性メモリ1に書き込む場合、Pウェル2に接地電位を与え、かつコントロールゲート電極5に抗電圧より十分大きなプログラム電圧を印加する。この時、コントロールゲート電極5とPウェル2間に発生する電界によって、強誘電体膜6は発生した電界の方向とほぼ同じ方向に分極する。分極状態によって、コントロールゲート電極5下部は空乏化する。この状態を以下書込状態という。なお、プログラム電圧が遮断されても、分極状態は、ほぼそのままの状態である。

【0041】一方、消去させる場合には、書込時とは反対に、コントロールゲート電極5に接地電位を与え、かつPウェル2に抗電圧より十分大きなプログラム電圧を印加する。この時、コントロールゲート電極5とPウェル2間に、書込時とは反対方向の電界が発生する。従って、この電界によって強誘電体膜6の分極状態は反転する。プログラム電圧が遮断されても、反転した分極状態は維持される。

【0042】つぎに、強誘電体不揮発性メモリ1の読み出し動作を説明する。選択ゲート電極9に、しきい値を超える電圧を印加する。これにより、選択ゲート電極9の下部に反転層が形成される。さらに、ソース4にPウェル2より高い読み出し電圧を印加する。これにより、ソース4とPウェル2間の空乏層が拡大する。なおPウェル2およびドレイン3には、接地電圧を印加する。

【0043】ここで、強誘電体膜6が図1Cに示すように分極していれば（以下マイナス方向の分極という）、コントロールゲート電極5下部は空乏化する。したがって、ソース4とPウェル2間の空乏層、コントロールゲート電極5下部の空乏層、および選択ゲート電極9下部の空乏層がつながり、オフセット領域20a、チャネル

形成領域10b、10cすべてがオン状態となる。ここで、ソース4の電位はドレイン3の電位より高いので、ソース4とドレイン3間に電流が流れる。

【0044】このように、読み出す際に、ソース4に読み出し電圧を印加することにより、オフセット領域20aの空乏層が拡大するとともに、この電圧を書き込み状態の有無を調べる検出電圧として利用することができる。

【0045】これに対し、強誘電体膜6が、図1Dに示すように分極していると（以下プラス方向の分極という）、コントロールゲート電極5下部は、空乏化しない。したがって、ソース4とPウェル2間の空乏層と選択ゲート電極9下部の空乏層がつながらず、ソース4の電位をドレイン3の電位より高くしても、ソース4とドレイン3間には電流が流れない。

【0046】なお、ソース4とPウェル2間の空乏層とコントロールゲート電極5下部の空乏層をつなげることができる電圧を読み出し電圧という。

【0047】このように、強誘電体不揮発性メモリ1は、一旦書き込み状態とすれば、たとえコントロールゲート電極5に電圧の供給を中止しても、書き込み状態は維持される。また、書き込まれているか否かは、チャネル形成領域10cをオン状態とするとともに、ソース4に読み出し電圧を印加することにより、オフセット領域20aをオン状態とし、ソース4とドレイン3の間に電流が流れるか否かによって判断することができる。

【0048】消去の場合は、Pウェル2にコントロールゲート電極5より高い電位を印加する。これにより、強誘電体膜6がプラス方向に分極し（図1C参照）、書き込み状態が解除される。

【0049】[マトリクス状に接続された強誘電体不揮発性メモリ1の動作] 上記、強誘電体不揮発性メモリ1は、マトリクス状に接続されて使用される。強誘電体不揮発性メモリ1を複数組合わせたマトリクス回路の等価回路21を図5Aに示す。ここで、同図に示すようにマトリクス状に組合わせた場合、行方向、列方向に各コントロールゲート電極5、選択ゲート電極9、ドレイン3が各々接続されており、さらに、全てのソース4が接続されている。したがって、非選択セルに書き込み、または、読み出しをしてしまうおそれがある。そこで、等価回路21においては、次に述べるようにして、確実に選択セルと非選択セルを区別できるようにしている。

【0050】同図Bに、セルC11を選択セルとする場合に、書き込み時および読み出し時に印加する電圧の一例を示す。まず書き込む場合には、一括消去を行い分極の向きを非書込状態としておく。つぎに、ワードラインWL1n、WL2n、ビットラインBLn+1にVc、その他には、0Vを印加する。なお、ワードラインWL2nには、立上がり波形をなだらかにした分極電圧

(図1B参照)を与える。

【0051】選択セルC11について見てみると、ワードラインWL2nにVcc印加することにより、図6Aに示すように、コントロールゲート電極5に、Pウェル2よりVccだけ高い電位が与えられる。したがって、コントロールゲート電極5とPウェル2間に電界が発生し、強誘電体膜6は、マイナス方向(図6B参照)に分極する。

【0052】一方、非選択セルであるセルC12について見てみると、ワードラインWL1nにVccを印加することにより、図6Cに示すように、セルC12の選択ゲート電極9にもVccが印加される。したがって、チャンネル形成領域10cはオン状態となる。さらにドレイン3にはVccが印加されていることから、チャンネル形成領域10bがオン状態となり、チャンネル形成領域10bにVccが転送される。このため、コントロールゲート電極5にVccが印加されていても、コントロールゲート電極5とPウェル2間に電位差が生じない。したがって、強誘電体膜6は分極せず、書き込み状態となることはない。

【0053】ところで、セルC12のコントロールゲート電極5には、ワードラインWL2nから、立上がり波形をなだらかにした分極電圧(図1B参照)が与えられる。

【0054】すでに述べたように、強誘電体膜6は抗電界に相当する電圧以上の電圧を印加した場合に急激に分極が生じ、抗電界に相当する電圧でなければ、短時間の間にはほとんど分極は起こらないという性質を有する(図3の強誘電体膜のE-Pヒステリシスループ参照)。一方、コントロールゲート電極5に前記しきい値電圧(Vth)以上の電圧を印加すると、すぐにチャンネルが形成される。したがって、隣接するチャンネル形成領域10cの反転層を通じて、ドレイン3から速やかに電子が供給され、チャンネル形成領域10bに反転層が形成される。この部分の電位はドレイン電位に等しい。したがって、実質的に強誘電体膜6に抗電界に相当する電圧が印加されないこととなるからである。

【0055】このように、チャンネル形成領域10bにチャンネル(反転層)を形成するためのしきい値電圧(Vth)を強誘電体膜6の抗電圧より低く設定するとともに、非選択セルのコントロールゲート電極5に、図1Bに示すような立上がり波形をなだらかにした電圧を与えることにより、非選択セルの強誘電体膜6が誤って書き込み状態となることをより完全に防止することができる。

【0056】なお、書き込みを防止する為、ビットラインBLn+1に印加されている書き込み禁止電圧Vcc(図5B参照)については、セルC11~C14のオフセット領域20aがオフ状態であるので、コントロールゲート電極5下のチャンネル形成領域10bにおいても保持される。

【0057】読み出しについては、次のようにして行う。図5Bに示すように、ワードラインWL1nにVcc、ソースラインSLにVcc(読み出し電圧)、その他は0Vを印加し、ビットラインBLnにセンスアンプを接続する。

【0058】選択セルC11については、ソースラインSLに読み出し電圧としてVccを印加することにより、図7Aに示すように空乏層が拡大し、オフセット領域20aがオン状態となる。また、ワードラインWL1nにVccを印加することにより、選択ゲート9にVccが印加され、チャンネル形成領域10cはオン状態となる。ここで、強誘電体膜6がマイナス方向(図1C参照)に分極していると、チャンネル形成領域10bはオン状態となる。すなわち、オフセット領域20a、およびチャンネル形成領域10b、10cともオン状態となる。したがって、ソースラインSLとビットラインBLnに電流が流れ、この電流をセンスアンプで検出することができる。

【0059】これに対して、強誘電体膜6がプラス方向に分極していると(図1D参照)、図7Bに示すように、チャンネル形成領域10bはオン状態とならない。したがって、オフセット領域20a、およびチャンネル形成領域10cがオン状態であっても、ソースラインSLとビットラインBLn間に電流が流れない。

【0060】非選択セルC12については、オフセット領域20a、およびチャンネル形成領域10b、10cともオン状態であったとしても、センスアンプを接続しているのは、ビットラインBLnであるから、誤って読み出されることはない。なおビットラインBLn+1をオープンとしても、同様である。

【0061】その他の非選択セルC13、C14について見てみると、ワードラインWL2nに0Vが印加されていることから、チャンネル形成領域10cは、ともにオフ状態である。したがって、ソースラインSLとビットラインBLn間、ソースラインSLとビットラインBLn+1間に電流が流れない。

【0062】このように、強誘電体不揮発性メモリ1をマトリックス状に接続した場合でも、図5Bに示すような電圧を印加するとともに、チャンネル形成領域10bにチャンネル(反転層)を形成するためのしきい値電圧(Vth)を強誘電体膜6の抗電圧より低く設定し、さらに立上がり波形をなだらかにした分極電圧(図1B参照)を与えることにより、確実に選択セルのみに書き込むこと、および読み出すことが可能となる。

【0063】なお、消去の際は、ワードラインWL2n、WL2n+1に-Vccを、その他には0Vを印加する。これにより、強誘電体膜6はプラス方向に分極し(図1D参照)、一括消去可能となる。

【0064】以上述べたように、強誘電体不揮発性メモリ1は、絶縁性サイドウォール23を設けたことにより

オフセット領域20aを形成する。そして、読み出す際には、ソース4に読み出し電圧印加することにより、空乏層を拡大し、オフセット領域20aにチャンネルを形成するとともに、この電圧を書き込み状態の有無を調べる検出電圧として利用することができる。

【0065】さらに、チャンネル形成領域10bにチャンネル（反転層）を形成するためのしきい値電圧（ V_{th} ）を強誘電体膜6の抗電圧より低く設定するとともに、コントロールゲート電極5に、立上がり波形をなだらかにした分極電圧を与えることにより、抗電界に相当する電圧が強誘電体膜6にかかる前に、コントロールゲート電極5下部に反転層を形成することができる。したがって、誤書き込みをより確実に防止することができる。

【0066】なお、本実施例では、強誘電性物質としてPZT（チタン酸ジルコン酸鉛）を使用した。PbTiO₃、チタン酸バリウム、チタン酸ビスマス、PLZT等の強誘電性を示す物質であれば、他の物質を用いてもよい。さらに、ソフトライトの問題を避けるため活性化電界の大きい物質を用いるとともに、活性化電界が大きくなるように形成することが望ましい。

【0067】ここで、ソフトライトとは、書き込みに、非選択セルのコントロールゲート電極5にプログラム電圧を印加するたびに、チャンネル形成領域10b上の強誘電体膜6の分極状態が少しずつ反転することをいう。ソフトライトが繰り返されると、分極状態がついには完全に反転し、そのセルのデータが誤ったデータとなってしまうおそれがある。

【0068】しかし、しきい値電圧を調整するとともに、立上がり波形をなだらかにした電圧を印加することにより、非選択セルにおいて、強誘電体膜6の分極状態が反転する際に、チャンネル形成領域10bに反転層を形成し、誤書き込みおよびソフトライトをより確実に防止することができる。

【0069】なお、上記各実施例においては、Nチャンネルトランジスタにて説明したが、Pチャンネルトランジスタに採用してもよい。

【0070】

【発明の効果】請求項1にかかる強誘電体不揮発性メモリの使用方法においては、第2の電路形成可能領域に電路を形成するためのしきい値電圧を強誘電体膜の抗電圧より低く設定するとともに、立上がり波がなだらかな分極

電圧波形を与える。したがって、非選択セルについて、抗電界に相当する電圧が強誘電体膜にかかる前に、電路形成可能領域を空乏化することができる。これにより、非選択セルへの誤書き込みをより確実に防止することができる。

【図面の簡単な説明】

【図1】強誘電体不揮発性メモリ31の構造、分極制御電極に印加する電圧の波形、および強誘電体膜6の分極状態を示す図である。

10 【図2】強誘電体不揮発性メモリ31の使用状態図である。Aは、マトリックス状に組合わせた等価回路図であり、Bは、各動作における電圧を表わした一例である。

【図3】強誘電体膜6のヒステリシスループを示す図である。

【図4】強誘電体不揮発性メモリ1の構造を示す図である。

【図5】強誘電体不揮発性メモリ1の使用状態図である。Aは、マトリックス状に組合わせた等価回路図であり、Bは、各動作における電圧を表わした一例である。

20 【図6】書き込みに際する強誘電体不揮発性メモリ1を示す図である。A、Cは書き込み状態の空乏層の状態を示す図である。Aは選択セル、Cは非選択セルを示す。また、B、Dは強誘電体膜6の分極状態を示す図であり、Bがマイナス方向、Dがプラス方向に分極している状態を示す。

【図7】読み出し時における強誘電体不揮発性メモリ1の空乏層の状態を示す図である。Aは書き込み状態である場合、Bは非書き込み状態である。

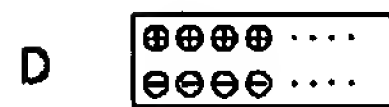
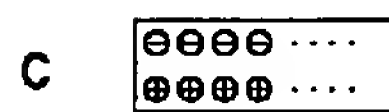
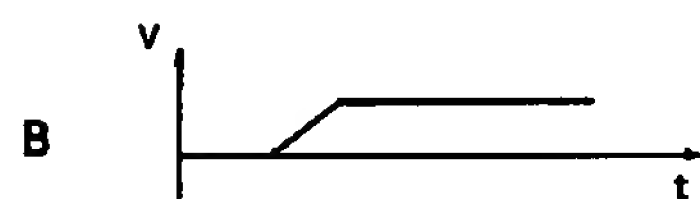
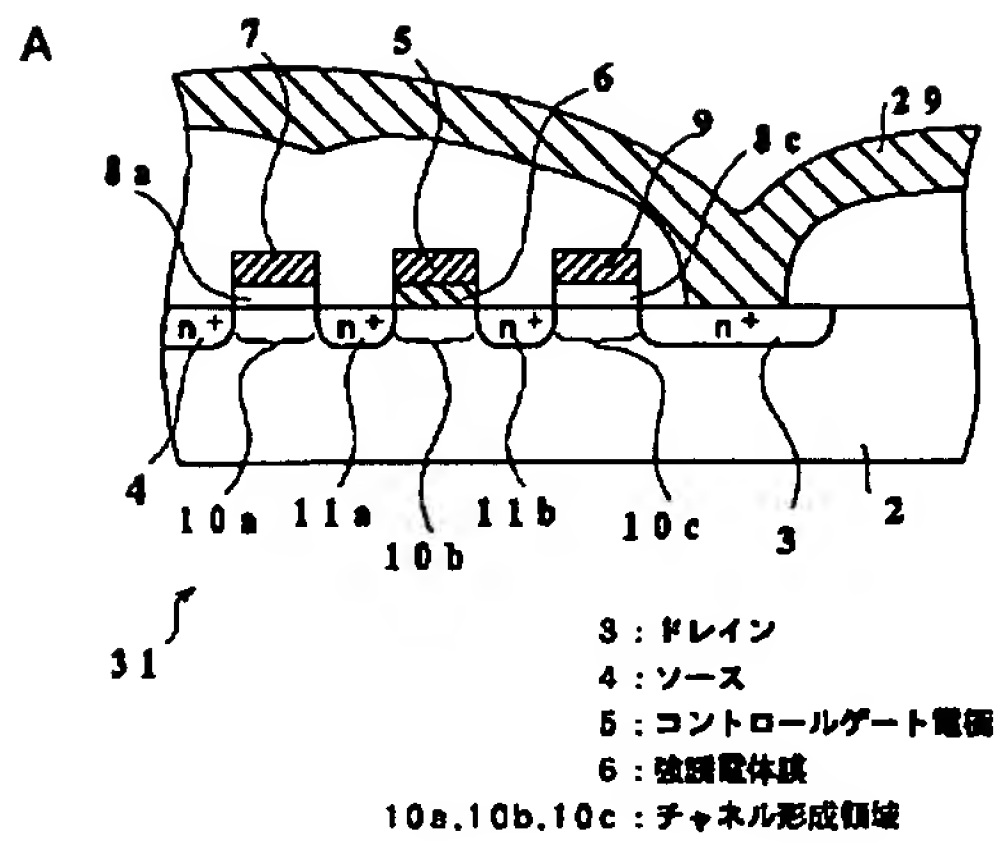
30 【図8】従来の不揮発性メモリ41の構造、および強誘電体膜6の分極状態を示す図である。

【図9】従来の不揮発性メモリ41を複数組合わせた等価回路を示す図である。

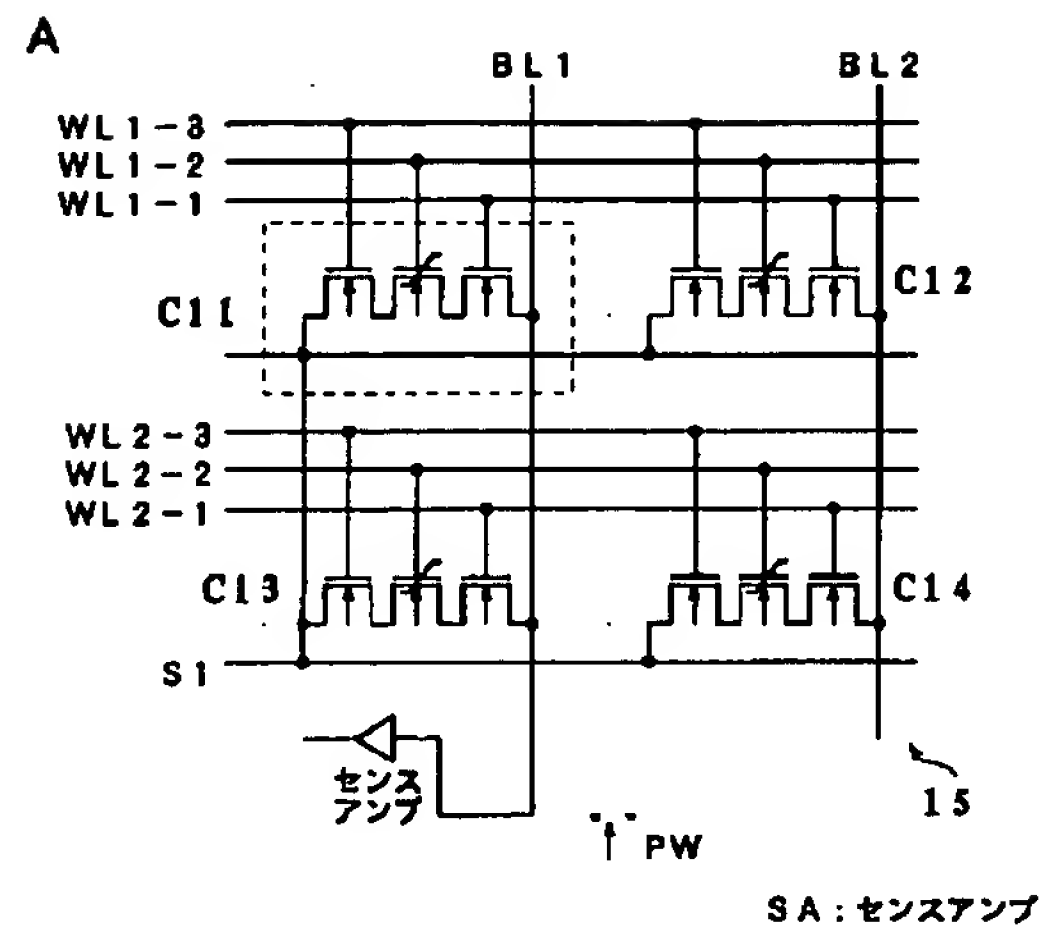
【符号の説明】

- 3・・・ドレイン
- 4・・・ソース
- 5・・・コントロールゲート電極
- 6・・・強誘電体膜
- 9・・・選択ゲート電極
- 10b, 10c・・・チャンネル形成領域
- 20a・・・オフセット領域
- 23・・・絶縁性サイドウォール

【図1】



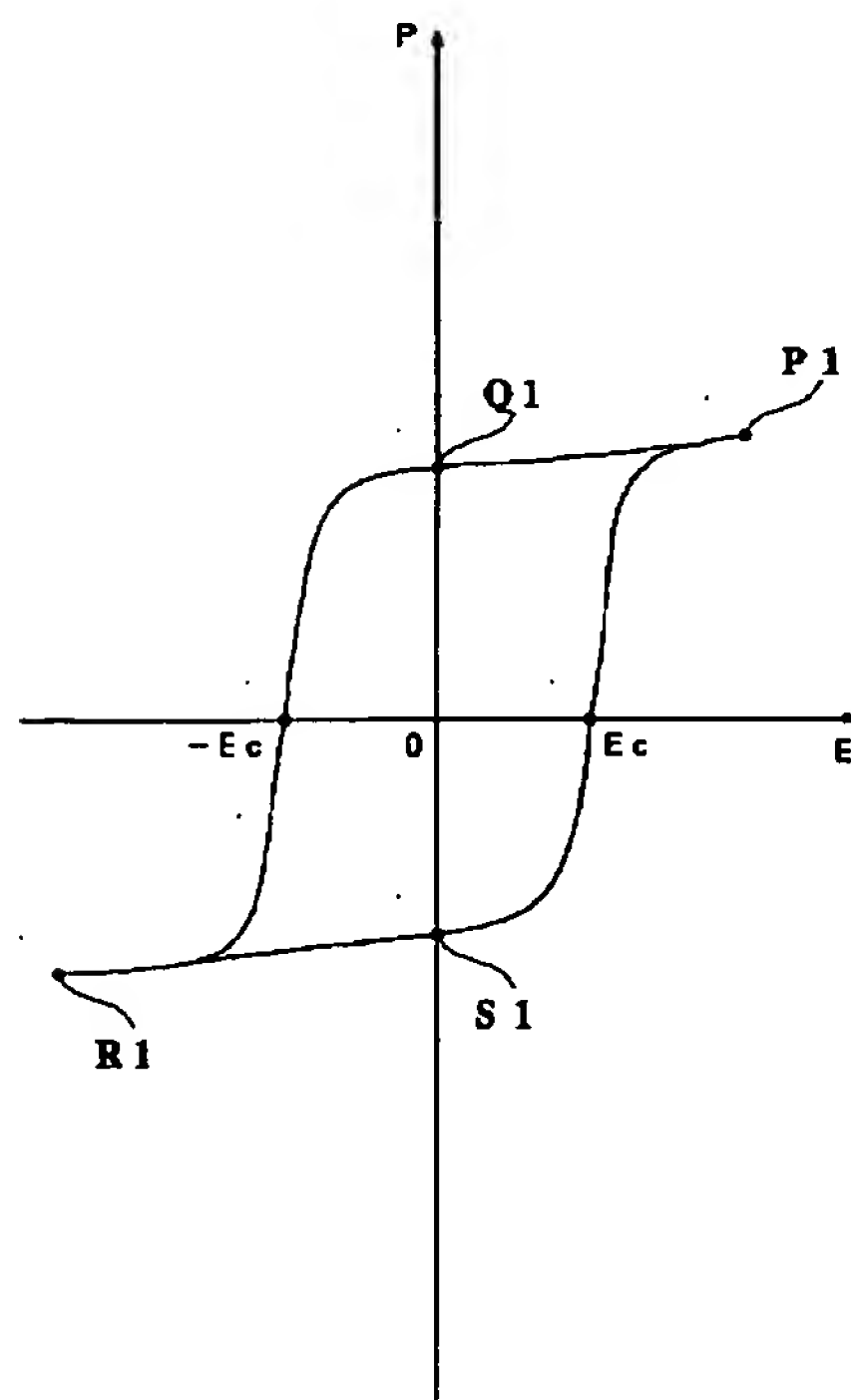
【図2】



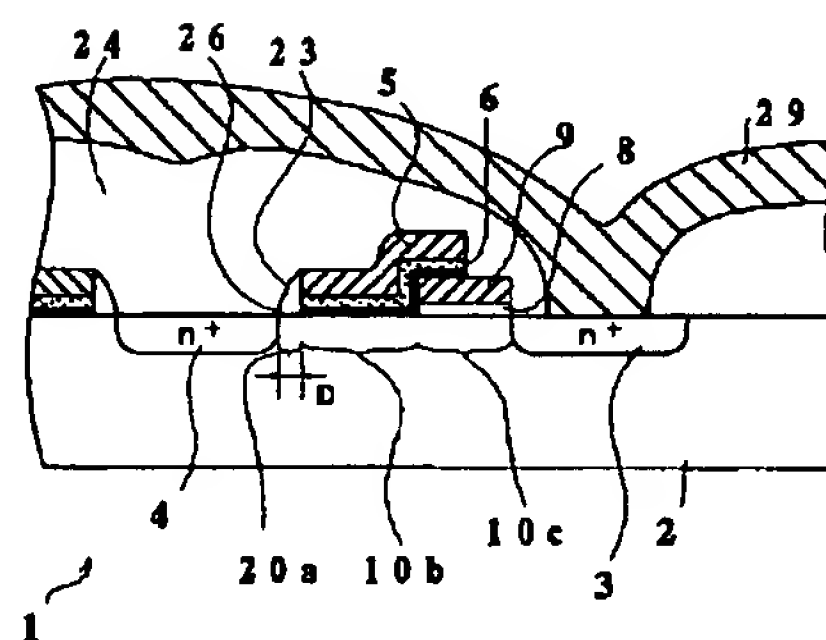
B

	WL1-3	WL1-2	WL1-1	WL2-3	WL2-2	WL2-1	BL1	BL2	S1	PW
書き込	0V	5V	5V	0V	0V	0V	0V	5V	0V	0V
消去	0V	-5V	0V	0V	-5V	0V	0V	0V	0V	0V
読出	5V	0V	5V	0V	0V	0V	SA	0V	0V	0V

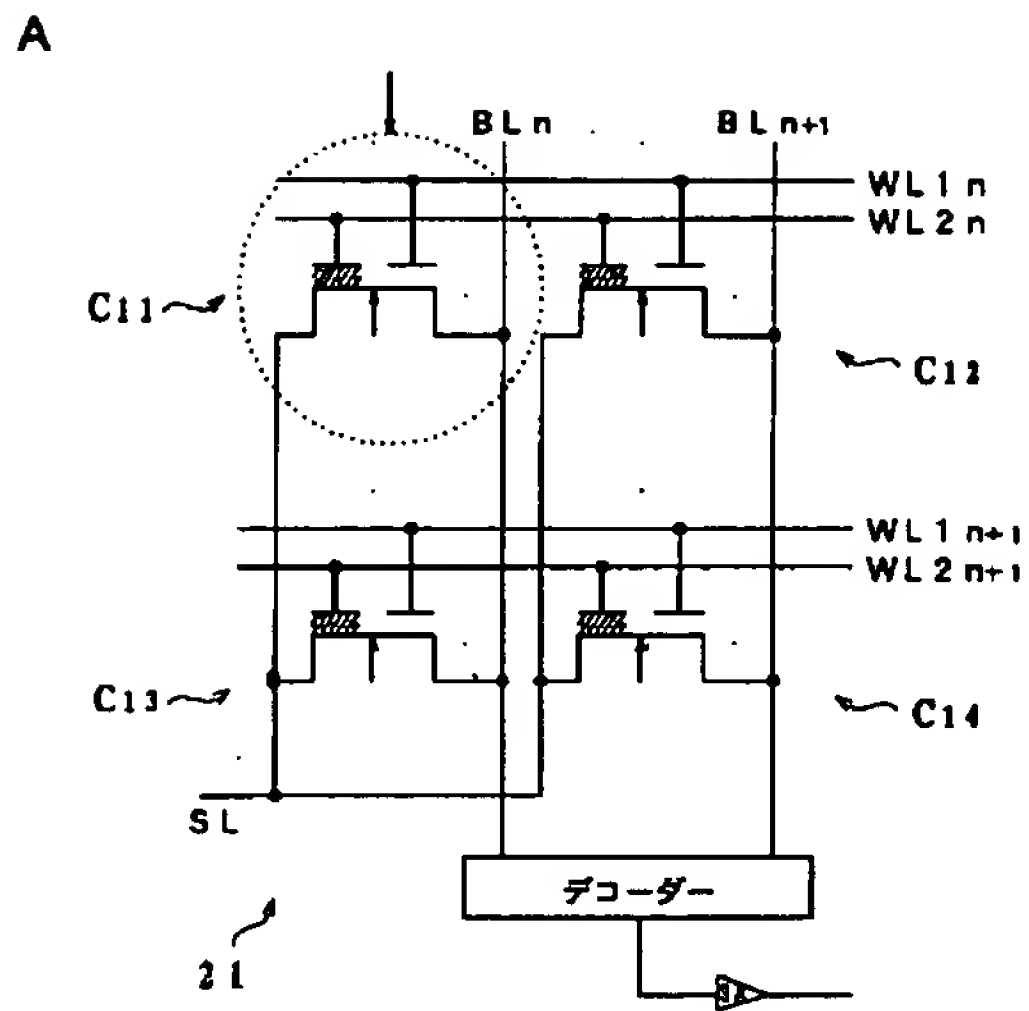
【図3】



【図4】



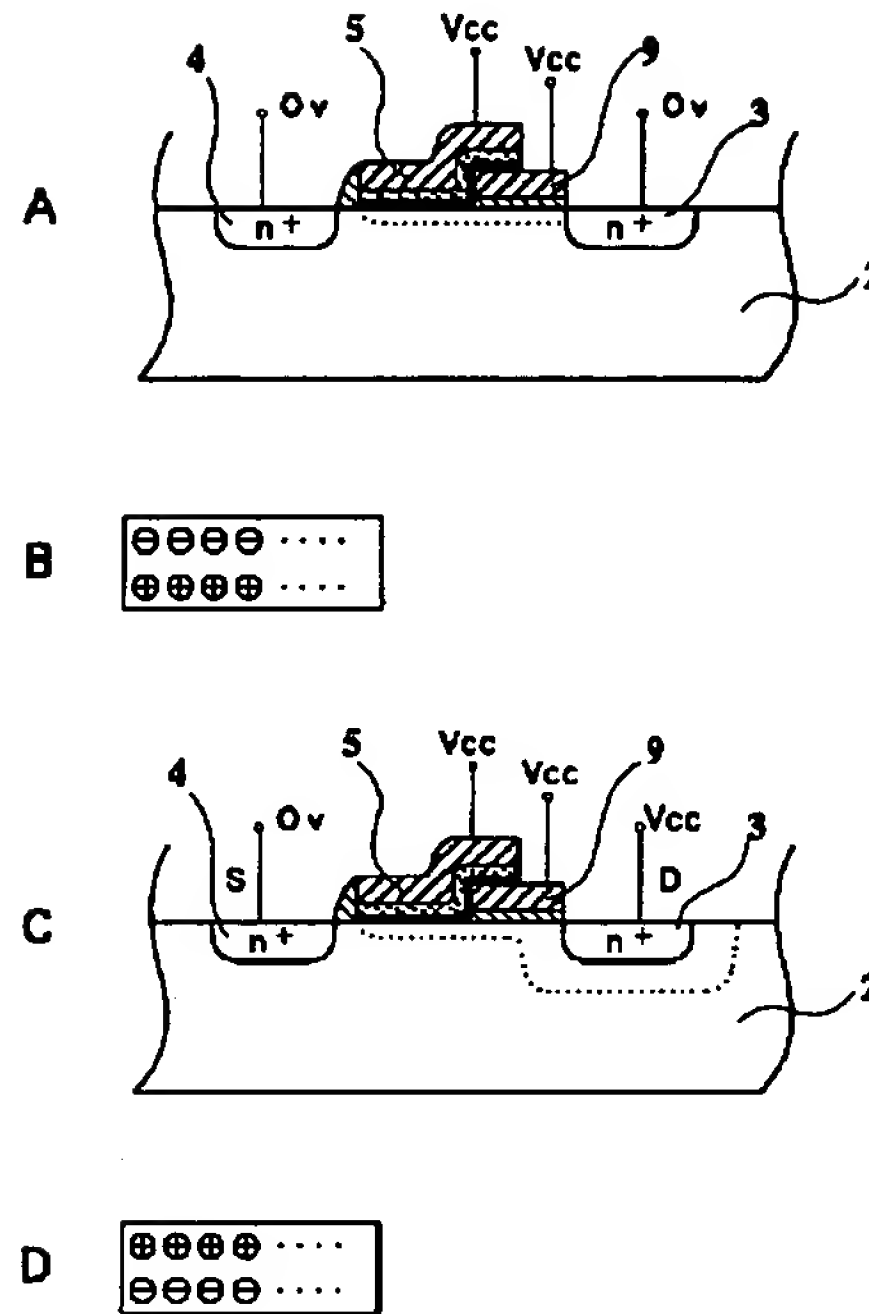
【図5】



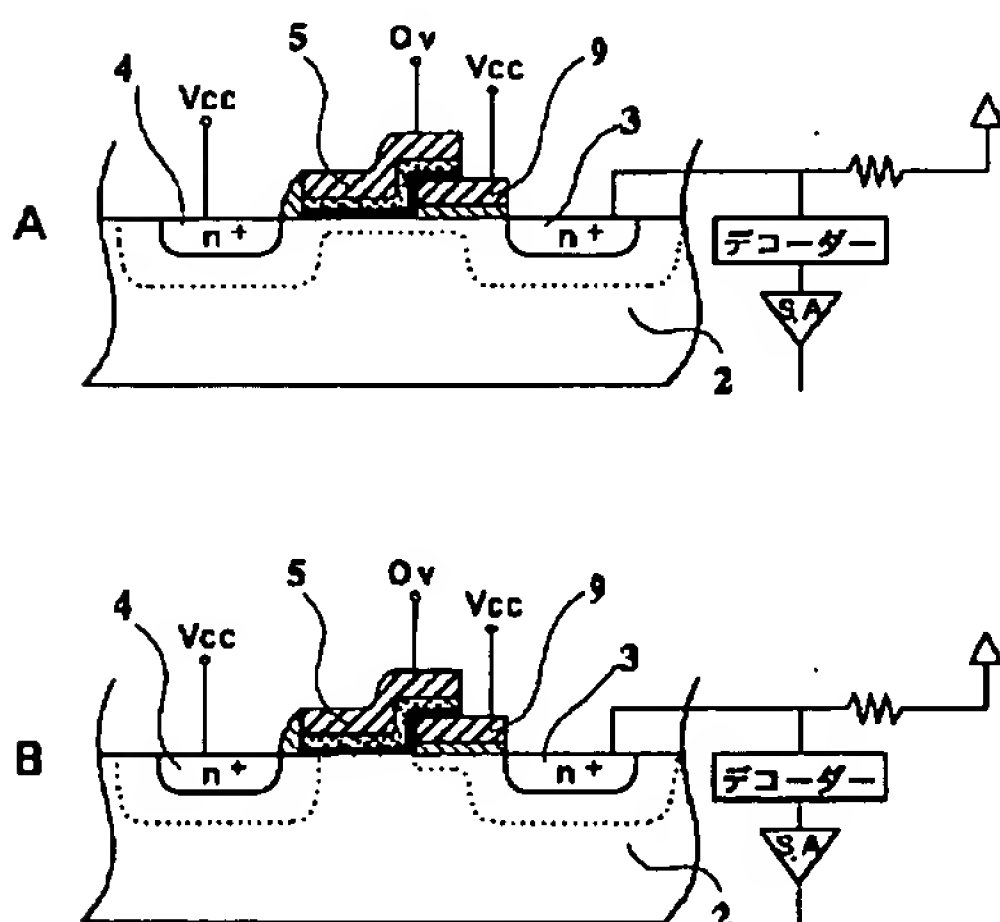
B

	BLn	WL1n	WL2n	BLn+1	WL1n+1	WL2n+1	SL	Sub
Write	0v	Vcc	Vcc	Vcc	0v	0v	0v	0v
Read	S.A	Vcc	0v	0v	0v	0v	Vcc	0v
Erase	0v	0v	-Vcc	0v	0v	-Vcc	0v	0v

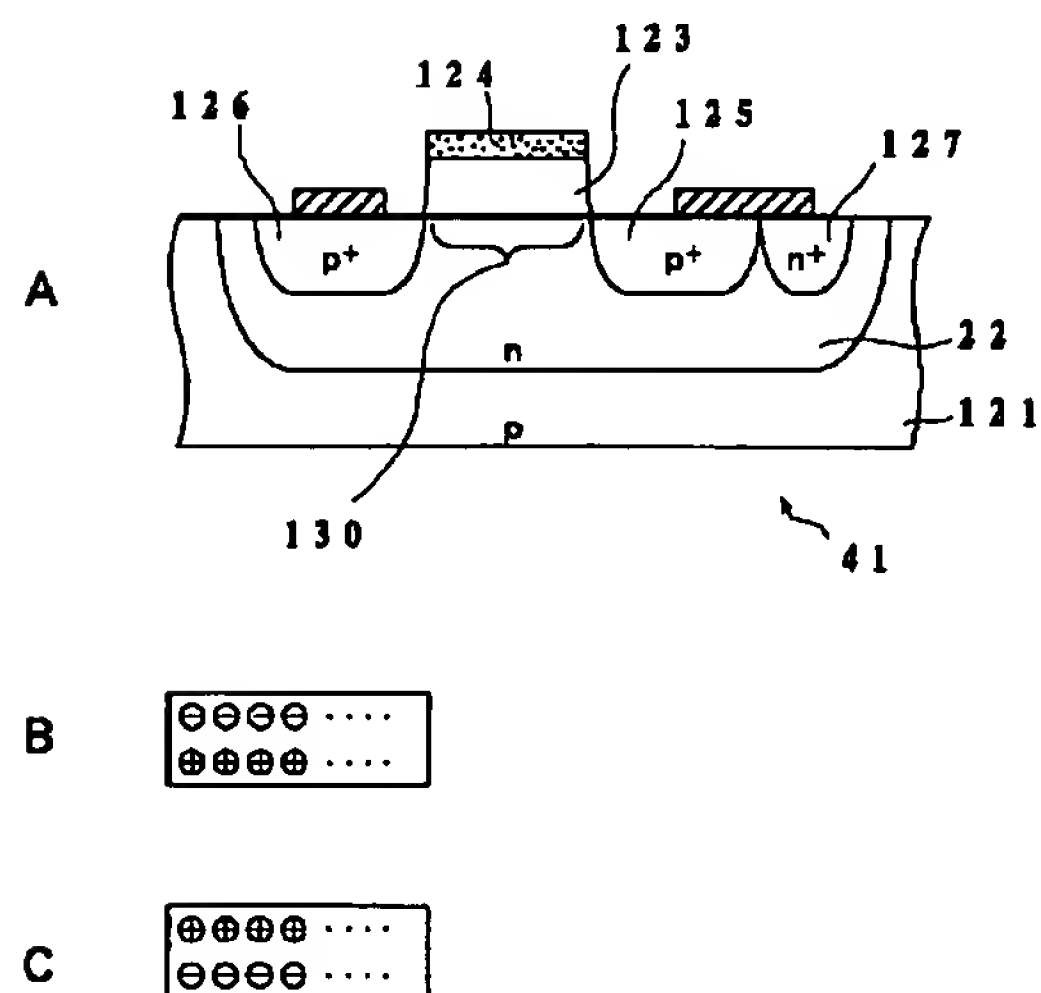
【図6】



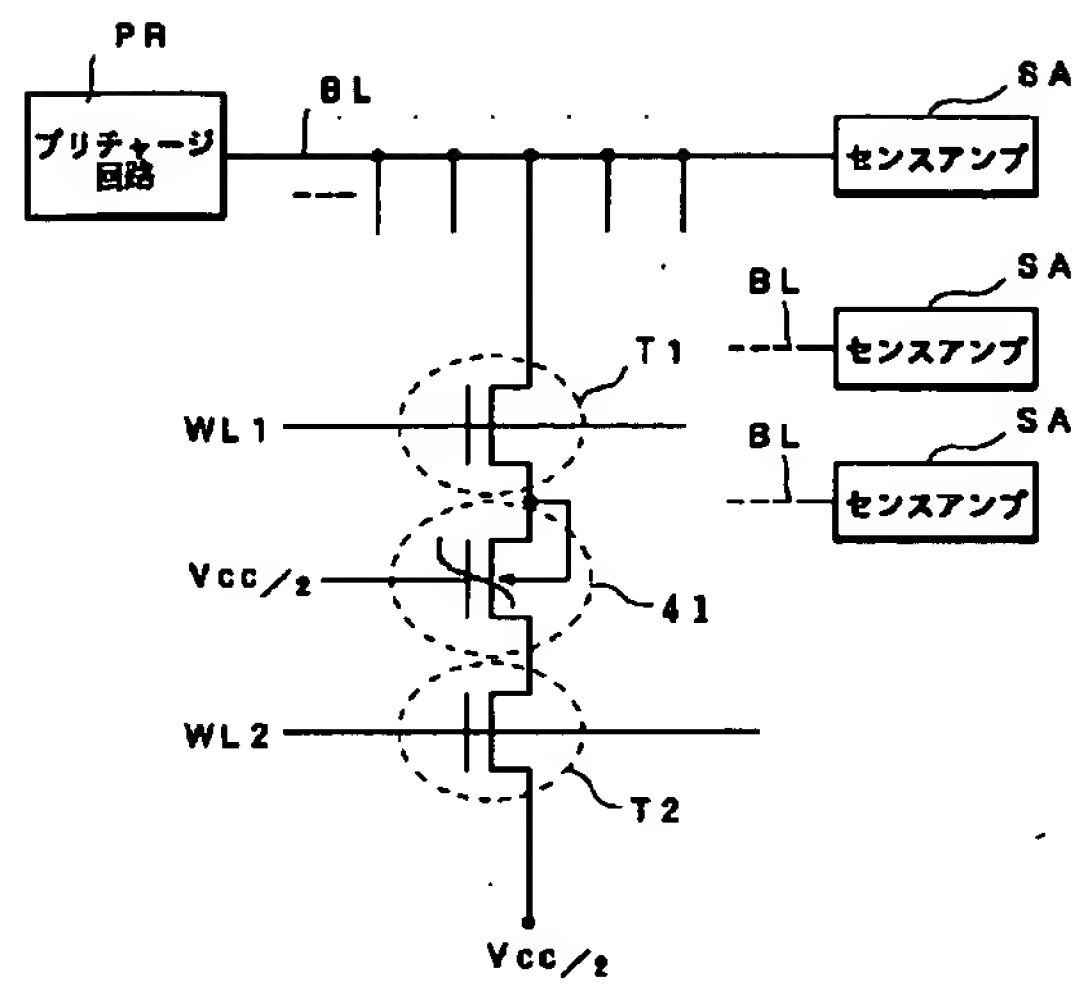
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁶

H01L 29/792

識別記号

庁内整理番号

F I

技術表示箇所